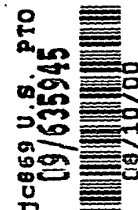


日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 8月12日

出願番号
Application Number:

平成11年特許願第228944号

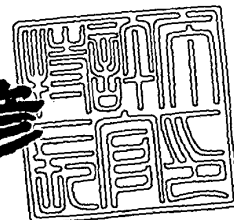
出願人
Applicant(s):

株式会社半導体エネルギー研究所

2000年 5月26日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3039048

【書類名】 特許願

【整理番号】 P004294-01

【提出日】 平成11年 8月12日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 21/00

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 中嶋 節男

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 荒井 康行

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に、

非晶質構造を有する半導体層で形成されたチャネル形成領域と、一導電型の不純物元素を含有する半導体層で形成されたソース領域及びドレイン領域と、前記非晶質構造を有する半導体層と前記基板との間に形成されたゲート電極とを有する薄膜トランジスタを設けた半導体装置において、

前記非晶質構造を有する半導体層及び一導電型の不純物元素を含有する半導体層上に形成され、前記チャネル形成領域の少なくとも一部に接して形成された無機材料から成る第 1 の層間絶縁層と、前記第 1 の層間絶縁膜上に形成された有機材料から成る第 2 の層間絶縁層と、

前記第 2 の層間絶縁層に接して形成された画素電極とを有することを特徴とする半導体装置。

【請求項 2】

絶縁表面を有する基板上に、

非晶質構造を有する半導体層で形成されたチャネル形成領域と、一導電型の不純物元素を含有する半導体層で形成されたソース領域及びドレイン領域と、前記非晶質構造を有する半導体層と前記基板との間に形成されたゲート電極とを有する薄膜トランジスタを設けた半導体装置において、

前記非晶質構造を有する半導体層及び一導電型の不純物元素を含有する半導体層上に形成され、前記チャネル形成領域の少なくとも一部に接して形成された無機材料から成る第 1 の層間絶縁層と、前記第 1 の層間絶縁膜上に形成された有機材料から成る第 2 の層間絶縁層と、

前記第 2 の層間絶縁層に接して形成された画素電極と、

前記基板の端部に沿って形成され、他の基板の配線と電気的に接続する入力端子部とを有し、

前記入力端子部は、前記ゲート電極と同じ材料から成る第 1 の層と、前記画素

電極と同じ材料から成る第 2 の層とから形成されていること
を特徴とする半導体装置。

【請求項 3】

絶縁表面を有する基板上に、

非晶質構造を有する半導体層で形成されたチャネル形成領域と、一導電型の不
純物元素を含有する半導体層で形成されたソース領域及びドレイン領域と、前記
非晶質構造を有する半導体層と前記基板との間に形成されたゲート電極と該ゲ
ート電極上に形成された絶縁層とを有する薄膜トランジスタを設けた半導体装置に
おいて、

前記非晶質構造を有する半導体層及び一導電型の不純物元素を含有する半導体
層上に形成され、前記チャネル形成領域の少なくとも一部に接して形成された無
機材料から成る層間絶縁層と、

前記絶縁層に接して形成された画素電極と、

前記基板の端部に沿って形成され、他の基板上の配線と電氣的に接続する入力
端子部とを有し、

前記入力端子部は、前記ゲート電極と同じ材料から構成される第 1 の層と、前
記画素電極と同じ材料から構成される第 2 の層とから形成されていること
を特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記ゲート電極は、耐熱性導電性材料、または耐熱性導電性材料と低抵抗導電
性材料とから成ることを特徴とする半導体装置。

【請求項 5】

請求項 4 において、

前記耐熱性導電性材料は、タンタル (Ta)、チタン (Ti)、タングステン
(W) から選ばれた元素、または前記元素を成分とする化合物、または前記元
素を組み合わせた化合物、または前記元素を成分とする窒化物であり、

前記低抵抗導電性材料は、アルミニウム (Al) を成分とする材料であることを
特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 3 のいずれか一項において、

前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊技機器、テレビであることを特徴とする半導体装置。

【請求項 7】

絶縁表面を有する基板上に、ゲート電極を形成する第 1 の工程と、

前記ゲート電極上にゲート絶縁層を形成する第 2 の工程と、

前記ゲート絶縁層上に非晶質構造を有する半導体層を形成する第 3 の工程と、

前記非晶質構造を有する半導体層上に一導電型の不純物を含有する半導体層を形成する第 4 の工程と、

前記一導電型の不純物を含有する半導体層に接して、ソース配線及びドレイン配線を形成する第 5 の工程と、

前記ソース配線及びドレイン配線をマスクとして、前記一導電型の不純物を含有する半導体層及び非晶質構造を有する半導体層の一部を除去する第 6 の工程と

前記ソース配線及びドレイン配線上に無機材料から成る第 1 の層間絶縁層を形成する第 7 の工程と、

前記第 1 の層間絶縁層上に有機材料から成る第 2 の層間絶縁層を形成する第 8 の工程と、

前記第 2 の層間絶縁膜上に画素電極を形成する第 9 の工程とを有することを特徴とする半導体装置の作製方法。

【請求項 8】

絶縁表面を有する基板上に、ゲート電極と、他の基板上の配線と電気的に接続する入力端子部の第 1 層を形成する第 1 の工程と、

前記ゲート電極上にゲート絶縁層を形成する第 2 の工程と、

前記ゲート絶縁層上に非晶質構造を有する半導体層を形成する第 3 の工程と、

前記非晶質構造を有する半導体層上に一導電型の不純物を含有する半導体層を形成する第 4 の工程と、

前記一導電型の不純物を含有する半導体層に接して、ソース配線及びドレイン配線を形成する第 5 の工程と、

前記ソース配線及びドレイン配線をマスクとして、前記一導電型の不純物を含有する半導体層及び非晶質構造を有する半導体層の一部を除去する第 6 の工程と、

前記ソース配線及びドレイン配線上に無機材料から成る第 1 の層間絶縁層を形成する第 7 の工程と、

前記第 1 の層間絶縁層上に有機材料から成る第 2 の層間絶縁層を形成する第 8 の工程と、

前記第 1 の層間絶縁層及び第 2 の層間絶縁層と前記ゲート絶縁層を選択的に除去して、前記入力端子部の第 1 層を露呈させる第 9 の工程と、

前記第 2 の層間絶縁膜上に画素電極と、前記入力端子部の第 2 層を形成する第 1 0 の工程と

を有することを特徴とする半導体装置の作製方法。

【請求項 9】

絶縁表面を有する基板上に、ゲート電極と、他の基板上の配線と電気的に接続する入力端子部の第 1 層を形成する第 1 の工程と、

前記ゲート電極上にゲート絶縁層を形成する第 2 の工程と、

前記ゲート絶縁層上に非晶質構造を有する半導体層を形成する第 3 の工程と、

前記非晶質構造を有する半導体層上に一導電型の不純物を含有する半導体層を形成する第 4 の工程と、

前記ゲート絶縁層を選択的に除去して、前記入力端子部の第 1 層を露呈させる第 5 の工程と、

前記ゲート絶縁層に接して画素電極と、前記入力端子部の第 2 層を形成する第 6 の工程と、

前記一導電型の不純物を含有する半導体層に接して、ソース配線及びドレイン配線を形成する第 7 の工程と、

前記ソース配線及びドレイン配線をマスクとして、前記一導電型の不純物を含有する半導体層及び非晶質構造を有する半導体層の一部を除去する第 8 の工程と

前記ソース配線及びドレイン配線上に無機材料から成る第 1 の層間絶縁層を形成する第 9 の工程と

を有することを特徴とする半導体装置の作製方法。

【請求項 1 0】

請求項 7 乃至請求項 9 のいずれか一項において、

前記ゲート電極は、耐熱性導電性材料、または耐熱性導電性材料と低抵抗導電性材料とで形成することを特徴とする半導体装置。

【請求項 1 1】

請求項 1 0 において、

前記耐熱性導電性材料は、タンタル (T a)、チタン (T i)、タングステン (W) から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物で形成し、

前記低抵抗導電性材料は、アルミニウム (A l) を成分とする材料で形成することを特徴とする半導体装置。

【請求項 1 2】

請求項 7 乃至請求項 1 2 のいずれか一項において、

前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊技機器、テレビであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は、半導体膜を利用した逆スタガ型若しくはボトムゲート型の薄膜トランジスタ (以下、T F T と略記する) 構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、液晶表示装置に代表される電気光学装置、及びそのような電気光学装置を搭載した電子機器に好適に利用できる技術を提供する。尚、本明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した

電子機器をその範疇とする。

【 0 0 0 2 】

【従来の技術】

現在、ノート型のパーソナルコンピュータ（ノートパソコン）や携帯型情報端末において、画像や文字情報を表示するために液晶表示装置が利用されている。パッシブ型の液晶表示装置に比べアクティブマトリクス型の液晶表示装置は高精細な画像が得られることから、前記用途においては後者が好適に用いられるようになっている。アクティブマトリクス型の液晶表示装置は、画素部において能動素子であるTFTを個々の画素に対応してマトリクス状に配置して構成している。TFTには通常nチャネル型TFTが用いられ、スイッチング素子として液晶に印加する電圧を画素毎に制御して所望の画像表示を行っている。

【 0 0 0 3 】

逆スタガ型（若しくはボトムゲート型）のTFTは活性層を非晶質半導体膜で形成するものがある。非晶質半導体材料は非晶質シリコン膜が好適に用いられている。非晶質シリコン膜は300℃以下の低温で大面積の基板上に形成可能であることから量産に適した材料と考えられている。しかし、非晶質シリコン膜で活性層を形成したTFTは、電界効果移動度が小さく $1\text{ cm}^2/\text{Vsec}$ 程度しか得られていない。そのために、画像表示を行うための駆動回路はLSIチップで形成され、TAB（tape automated bonding）方式やCOG（chip on glass）方式で実装されている。

【 0 0 0 4 】

このようなアクティブマトリクス型の液晶表示装置は、ノートパソコンのみならず20型クラスのTVシステムにまでその用途は広がり、画面サイズの大面積化と同時に画像品位の向上のために高精細化や高開口率化の要求がますます高まってきた。例えば、「The Development of Super-High Aperture Ratio with Low Electrically Resistive Material for High-Resolution TFT-LCDs”, S. Nakabu, et al., 1999 SID International Symposium Digest of Technical Papers, pp732-735」には画素密度がUXGA（ 1600×1200 ）で20型の液晶表示装置を作製する技術が報告されている。

【0005】

【発明が解決しようとする課題】

こうした製品を市場に供給し普及させるためには、生産性の向上及び低コスト化と、高信頼性を同時に推進することが課題となる。アクティブマトリクス型の液晶表示装置は、写真蝕刻（フォトリソグラフィ）技術により、複数のフォトマスクを使用してTFTを基板上に作製している。生産性を向上させ歩留まりを向上させるためには、工程数を削減することが有効な手段として考えられる。具体的には、TFTの製造に要するフォトマスクの枚数を削減することが必要である。フォトマスクはフォトリソグラフィの技術において、エッチング工程のマスクとするフォトリソパターンを基板上に形成するために用いる。従って、フォトマスクを1枚使用することは、レジスト塗布、プレバーク、露光、現像、ポストバークなどの工程と、その前後の工程において、被膜の成膜およびエッチングなどの工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、煩雑なものとなっている。

【0006】

本発明はこのような課題を解決するための技術であり、アクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、TFTを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを目的としている。

【0007】

【課題を解決するための手段】

上記課題を解決するために、本発明の半導体装置は、基板上に非晶質構造を有する半導体層で形成されたチャネル形成領域を有する逆スタガ型（若しくはボトムゲート型）のTFT上に無機材料から成る第1の層間絶縁層と、第1の層間絶縁膜上に形成された有機材料から成る第2の層間絶縁層と、前記第2の層間絶縁層に接して形成された画素電極とを設け、前記基板の端部に沿って形成され、他の基板の配線と電氣的に接続する入力端子部とを有し、該入力端子部は、ゲート電極と同じ材料から成る第1の層と、画素電極と同じ材料から成る第2の層とから形成されていることを特徴としている。このような構成とすることで、フォト

リソグラフィー技術で使用するフォトマスクの数を5枚とすることができる。

【0008】

また、他の発明の構成は、基板上に非晶質構造を有する半導体層で形成されたチャネル形成領域を有する逆スタガ型（若しくはボトムゲート型）のTFT上に無機材料から成る第1の層間絶縁層が設けられ、TFTのゲート電極上に形成された絶縁層に接して形成された画素電極と、前記基板の端部に沿って形成され、他の基板の配線と電気的に接続する入力端子部とを有し、該入力端子部は、ゲート電極と同じ材料から構成される第1の層と、画素電極と同じ材料から構成される第2の層とから形成されていることを特徴としている。

【0009】

また、他の発明の構成は、絶縁表面を有する基板上に、ゲート電極と、他の基板上の配線と電気的に接続する入力端子部の第1層を形成する第1の工程と、前記ゲート電極上にゲート絶縁層を形成する第2の工程と、前記ゲート絶縁層上に非晶質構造を有する半導体層を形成する第3の工程と、前記非晶質構造を有する半導体層上に一導電型の不純物を含有する半導体層を形成する第4の工程と、前記一導電型の不純物を含有する半導体層に接して、ソース配線及びドレイン配線を形成する第5の工程と、前記ソース配線及びドレイン配線をマスクとして、前記一導電型の不純物を含有する半導体層及び非晶質構造を有する半導体層の一部を除去する第6の工程と、前記ソース配線及びドレイン配線上に無機材料から成る第1の層間絶縁層を形成する第7の工程と、前記第1の層間絶縁層上に有機材料から成る第2の層間絶縁層を形成する第8の工程と、前記第1の層間絶縁層及び第2の層間絶縁層と前記ゲート絶縁層を選択的に除去して、前記入力端子部の第1層を露呈させる第9の工程と、前記第2の層間絶縁膜上に画素電極と、前記入力端子部の第2層を形成する第10の工程とを有することを特徴としている。

【0010】

また、他の発明の構成は、絶縁表面を有する基板上に、ゲート電極と、他の基板上の配線と電気的に接続する入力端子部の第1層を形成する第1の工程と、前記ゲート電極上にゲート絶縁層を形成する第2の工程と、前記ゲート絶縁層上に非晶質構造を有する半導体層を形成する第3の工程と、前記非晶質構造を有する

半導体層上に一導電型の不純物を含有する半導体層を形成する第4の工程と、前記ゲート絶縁層を選択的に除去して、前記入力端子部の第1層を露呈させる第5の工程と、前記ゲート絶縁層に接して画素電極と、前記入力端子部の第2層を形成する第6の工程と、前記一導電型の不純物を含有する半導体層に接して、ソース配線及びドレイン配線を形成する第7の工程と、前記ソース配線及びドレイン配線をマスクとして、前記一導電型の不純物を含有する半導体層及び非晶質構造を有する半導体層の一部を除去する第8の工程と、前記ソース配線及びドレイン配線上に無機材料から成る第1の層間絶縁層を形成する第9の工程とを有することを特徴としている。

【0011】

【発明の実施の形態】

本発明の実施の形態について、以下に示す実施例により詳細な説明を行う。

[実施例1]

本発明の実施例を図1～図2を用いて説明する。本実施例は液晶表示装置の作製方法を示し、基板上に画素部のTFTを逆スタガ型で形成し、該TFTに接続する保持容量を作製する方法について工程に従って詳細に説明する。また、同図には該基板の端部に設けられ、他の基板に設けた回路の配線と電気的に接続するための入力端子部の作製工程を同時に示す。ここで、図1(A)、(B)および図2(A)、(B)において、(I)は上面図でありA-A'線に沿った断面図を(II)で示す。

【0012】

図1(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。その他に、表面に酸化シリコン膜や窒化シリコン膜などを形成したステンレス基板やセラミック基板などを使用することもできる。

【0013】

ゲート電極102およびゲート配線102'と保持容量配線103、入力端子部の端子104は、アルミニウム(A1)などの低抵抗導電性材料で形成するこ

とが望ましいが、Al 単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。耐熱性導電性材料としては、チタン (Ti)、タンタル (Ta)、タングステン (W) から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜、または前記元素を成分とする窒化物で形成する。或いは、このような耐熱性導電性材料のみを組み合わせて形成しても良い。

【0014】

このような材料の選択は、液晶表示装置の画面サイズに応じて適宜決定するものである。耐熱性導電性材料は面積抵抗で $10\ \Omega$ 程度あり、画面サイズが 5 型程度までなら適応可能であるが、それ以上の画面サイズの液晶表示装置には必ずしも適していなかった。これは、ゲート電極に接続するゲート配線の基板上における引回し長さが必然的に大きくなると、配線遅延の問題を無視することができなくなる。例えば、画素密度が VGA の場合、480 本のゲート配線と 640 本のソース配線が形成され、XGA の場合には 768 本のゲート配線と 1024 本のソース配線が形成される。ゲート配線の抵抗は、用いる材料の固有抵抗値の他に、配線の膜厚と幅で決定されるが、開口率との兼ね合いでおのずと限定があり、画素密度が高くなるに従って微細化が要求される。表示領域の画面サイズは、13 インチクラスの場合対角線の長さは 340 mm となり、18 インチクラスの場合には 460 mm となる。その場合、液晶表示装置を実現するためには、ゲート配線を Al などの低抵抗導電性材料で形成することが本来望ましい。

【0015】

従って、ゲート電極およびゲート配線は耐熱性導電性材料と低抵抗導電性材料とを組み合わせて形成する。この時の適した組み合わせを図 8 を用いて説明する。画面サイズが 5 型程度までなら図 8 (A) に示すように、耐熱性導電性材料の窒化物から成る導電層 (A) 801 と耐熱性導電性材料から成る導電層 (B) 802 とを積層した構造とする。導電層 (B) 802 は Al、Ta、Ti、W から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成すれば良く、導電層 (A) 801 は窒化タンタル (Ta₂N₅)、窒化タングステン (WN)、窒化チタン (TiN) 膜などで形成する。また、大画面に

適応するには図 8 (B) に示すように、耐熱性導電性材料の窒化物から成る導電層 (A) 803 と低抵抗導電性材料から成る導電層 (B) 804 と耐熱性導電性材料の窒化物から成る導電層 (C) 805 とを積層させる。低抵抗導電性材料から成る導電層 (B) 804 は、アルミニウム (Al) を成分とする材料で形成し、純 Al の他に、0.01~5 atomic% のスカンジウム (Sc)、Ti、シリコン (Si) 等を含む Al を使用する。導電層 (C) 805 は導電層 (B) 804 の Al にヒロックが発生するのを防ぐ効果がある。

【0016】

図 8 (A) において、導電層 (A) 801 は 10~100 nm (好ましくは 20~50 nm) とし、導電層 (B) 802 は 200~400 nm (好ましくは 250~350 nm) とする。例えば、W 膜をゲート電極として形成する場合には、W をターゲットとしたスパッタ法で、Ar ガスと窒素 (N_2) ガスを導入して導電層 (A) 801 を WN 膜で 50 nm の厚さに形成し、導電層 (B) 802 を W 膜で 250 nm の厚さに形成する。しかし、W 膜をゲート電極として使用するためには低抵抗化を図る必要があり、その抵抗率は $20 \mu\Omega \text{ cm}$ 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999% の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成する。特に酸素濃度に関しては 30 ppm 以下とすると良かった。例えば、W は酸素濃度を 30 ppm 以下とすることで $20 \mu\Omega \text{ cm}$ 以下の比抵抗値を実現することができる。

【0017】

一方、図 8 (A) において導電層 (A) 801 に TaN 膜を、導電層 (B) 802 に Ta 膜を用いる場合には、同様にスパッタ法で形成することが可能である。TaN 膜は Ta をターゲットとしてスパッタガスに Ar と窒素との混合ガスを用いて形成し、Ta 膜はスパッタガスに Ar を用いる。また、これらのスパッタガス中に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 α 相の Ta 膜の抵抗率は $20 \mu\Omega \text{ cm}$ 程度であり

ゲート電極に使用することができるが、 β 相のTa膜の抵抗率は $180\ \mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きであった。Ta₂N膜は α 相に近い結晶構造を持つので、この上にTa膜を形成すれば α 相のTa膜が容易に得られた。いずれにしても、導電層(B) 802は抵抗率を $10\sim 50\ \mu\Omega\text{cm}$ の範囲で形成することが好ましい。

【0018】

図8(B)の構成とする場合には、導電層(A) 803は $10\sim 100\text{nm}$ (好ましくは $20\sim 50\text{nm}$)とし、導電層(B) 804は $200\sim 400\text{nm}$ (好ましくは $250\sim 350\text{nm}$)とし、導電層(C) 805は $10\sim 100\text{nm}$ (好ましくは $20\sim 50\text{nm}$)とする。ここで、導電層(A)および導電層(C)は前述のように耐熱性導電性材料であるWN膜やTa₂N膜、またはTi膜、Ta膜、W膜などを適用する。導電層(B) 804もスパッタ法で形成し、純Alの他に、 $0.01\sim 5\text{atomic\%}$ のSc、Ti、Si等を含有するAl膜で形成する。

【0019】

ゲート電極102およびゲート配線102'と保持容量配線103、及び端子104は、上記導電層を基板全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して形成する。このとき少なくともゲート電極102の端部にテーパ部が形成されるようにエッチングする。

【0020】

W膜やTa膜のような耐熱性導電性材料を高速でかつ精度良エッチングして、さらに端部をテーパ形状とするためには、高密度プラズマを用いたドライエッチング法が適している。高密度プラズマを得る手法にはマイクロ波や誘導結合プラズマ(Inductively Coupled Plasma: ICP)を用いたエッチング装置が適している。特に、ICPエッチング装置はプラズマの制御が容易であり、処理基板の面積化にも対応できる。例えば、W膜に対する具体的なエッチング条件として、エッチングガスに CF_4 と Cl_2 の混合ガスを用いその流量をそれぞれ 30SCCM として、放電電力 3.2W/cm^2 (13.56MHz)、基板バイアス電力 224mW/cm^2 (13

.56MHz)、圧力1.0Paでエッチングする。このようなエッチング条件によって、ゲート電極102の端部において、該端部から内側にむかって徐々に厚さが増加するテーパ部が形成され、その角度は $1\sim 20^\circ$ 、好ましくは $5\sim 15^\circ$ とする。図9で示すように、ゲート電極102の端部におけるテーパ部の角度は θ として示す部分の角度である。尚、テーパ部の角度 θ は、テーパ部の長さ(WG)とテーパ部の厚さ(HG)を用いて $\tan(\theta) = HG/WG$ で表される。

【0021】

こうして、ゲート電極102およびゲート配線102'と保持容量配線103、端子104を形成した後、絶縁膜を全面に形成してゲート絶縁層とする。ゲート絶縁層105はプラズマCVD法またはスパッタ法を用い、膜厚を $50\sim 200\text{nm}$ として絶縁膜で形成する。例えば、 150nm の厚さで酸化窒化シリコン膜から形成する。また、 SiH_4 と N_2O に O_2 を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁層はこのような酸化窒化シリコン膜に限定されるものでなく、酸化シリコン膜、窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル(Tetraethyl Orthosilicate: TEOS)と O_2 とを混合し、反応圧力40Pa、基板温度 $250\sim 350^\circ\text{C}$ とし、高周波(13.56MHz)電力密度 $0.5\sim 0.8\text{W/cm}^2$ で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後 $300\sim 400^\circ\text{C}$ の熱アニールによりゲート絶縁層として良好な特性を得ることができる。

【0022】

次に、ゲート絶縁層上に $50\sim 200\text{nm}$ (好ましくは $100\sim 150\text{nm}$)の厚さで非晶質構造を有する半導体層を、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する(図示せず)。代表的には、プラズマCVD法で水素化非晶質シリコン(a-Si:H)膜を 100nm の厚さに形成する。その他、この非晶質構造を有する半導体層には、微結晶半導体膜、非晶質シリコンゲル

マニウム膜などの非晶質構造を有する化合物半導体膜を適用することも可能である。さらに、一導電型の不純物元素を含有する半導体層として、n型の半導体膜を20～80 nmの厚さで形成する。例えば、n型のa-Si:H膜を形成すれば良く、そのためにシラン(SiH_4)に対して0.1～5%の濃度でフォスフィン(PH_3)を添加する。或いは、n型の半導体膜を水素化微結晶シリコン膜($\mu\text{c-Si:H}$)で形成しても良い。

【0023】

ゲート絶縁膜、非晶質構造を有する半導体層、一導電型の不純物元素を含有する半導体層はいずれも公知の方法で作製するものであり、プラズマCVD法やスパッタ法で作製することができる。そしてこれらの膜はプラズマCVD法であれば反応ガスを適宜切り替えることにより、またスパッタ法であればターゲット及びスパッタガスを適宜切り替えることにより連続して形成することができる。即ち、プラズマCVD装置或いはスパッタ装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることもできる。

【0024】

そして、このように積層して形成された半導体層を、第2のフォトリソグラフィ工程を行い、パターニング処理して、図1(B)に示すようにゲート電極102と一部が重なるように島状半導体層106を形成する。島状半導体層は、非晶質半導体層106aとn型の半導体層106bを有している。

【0025】

そして、導電性の金属層をスパッタ法や真空蒸着法で形成し、第3のフォトリソグラフィ工程によりレジストマスクパターンを形成し、エッチングによって図2(A)に示すようにソース配線107、ドレイン配線108、保持容量配線109を形成する。図示していないが、本実施例ではこの配線を、Ti膜を50～150 nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成するn型の半導体膜と接触を形成し、そのTi膜上に重ねてアルミニウム(Al)を300～400 nmの厚さで形成し、さらにその上にTi膜を100～150 nmの厚さで形成する。

【0026】

また、ソース配線に接続する入力端子部には、ゲート絶縁層上に該入力端子部に合わせて配線110を形成する。図2(A)ではこの様子を省略して示しているが、配線110はゲート絶縁層上を延在し、ソース配線と接続しているものである。

【0027】

ソース配線107、ドレイン配線108をマスクとして、図2(A)の(II)に示すようにn型の半導体層106bと非晶質半導体層106aの一部をエッチングにより除去して島状半導体層に開孔111を形成する。この開孔111によってn型の半導体層106bはソース領域112とドレイン領域113に分離され、自己整合的に島状半導体層106にチャネル形成領域を形成する。

【0028】

その後、図2(B)の(II)に示すように、非晶質構造を有する半導体層及びn型の半導体層上に、開孔部111を覆いチャネル形成領域の少なくとも一部に接する無機材料から成る第1の層間絶縁膜114を形成する。第1の層間絶縁膜114は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成する。この第1の層間絶縁膜114の膜厚は100～200nmとする。例えば、第1の層間絶縁膜114を酸化シリコン膜で形成する場合には、プラズマCVD法でTEOSとO₂とを混合し、反応圧力40Pa、基板温度200～300℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。また、酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH₄、N₂O、NH₃から作製される酸化窒化シリコン膜、またはSiH₄、N₂Oから作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200Pa、基板温度200～300℃とし、高周波(60MHz)電力密度0.1～1.0W/cm²で形成することができる。また、SiH₄、N₂O、H₂から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH₄、NH₃から作製することが可能である。

【0029】

さらに、第1の層間絶縁膜114上に形成された有機材料から成る第2の層間絶縁層115を1.0～2.0 μm の平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで200～300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで180～250℃で60分焼成して形成することができる。

【0030】

このように、第2の層間絶縁膜114を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜114として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

【0031】

その後、第4のフォトリソグラフィ工程を行い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、Heの混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜115をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として第1の層間絶縁膜114をエッチングする。入力端子部においては、端子104と配線110の一部が露出するように第2の層間絶縁膜115と第1の層間絶縁膜114及びゲート絶縁層105の一部をエッチングする。

【0032】

そして、透明導電膜をスパッタ法や真空蒸着法で50～200 nmの厚さに成膜し、第5のフォトリソグラフィ工程を行い、図2（B）に示すように、画素

電極 118 を形成する。画素電極 118 は、接続部 116 でドレイン配線 108 と接続し、接続部 117 で保持容量電極 109 と接続している。同時に端子 104、配線 110 と少なくとも一部が接するように透明導電膜 119 を設ける。図 2 (B) の (II) において、B-B' 断面を図中に示す矢印の方向に見た断面の詳細を図 11 (A) に示す。同図において、ゲート電極 104 は導電層 (A) 130 と導電層 (B) 131 から成り、透明導電膜 119 は導電層 (A) 130 と導電層 (B) 131 の少なくとも一部と接するように形成する。また、図 2 (B) の (II) において、C-C' 断面を図中に示す矢印の方向に見た断面の詳細を図 11 (B) に示す。配線 110 は Ti 膜 132、Al 膜 133、Ti 膜 134 の 3 層構造であり、透明導電膜 119 はこれらの膜と少なくとも一部が接するように形成する。このようにして端子 104 と配線 110 とを電氣的に接続する。しかし、ゲート配線に接続する入力端子部では配線 110 を設ける必要はなく、端子 104 と少なくとも一部で接するように透明導電膜 119 を設ける構成とする。

【0033】

透明導電膜の材料は、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITO と略記する) などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3-\text{ZnO}$) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO と比較して熱安定性にも優れているので、端子 104 を Al 膜で形成しても腐蝕反応をすることを防止できる。同様に、酸化亜鉛 (ZnO) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 ($\text{ZnO}:\text{Ga}$) などを用いることができる。

【0034】

こうして 5 回のフォトリソグラフィ工程により、5 枚のフォトマスクを使用して、逆スタガ型の n チャネル型 TFT 120、保持容量 121 を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画

素部を構成することによりアクティブマトリクス型の液晶表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【 0 0 3 5 】

図 1 0 はアクティブマトリクス基板の画素部と入力端子部の配置を説明する図である。基板 9 0 1 上には画素部 9 0 2 が設けられ、画素部にはゲート配線 9 0 8 とソース配線 9 0 7 が交差して形成され、これに接続する n チャネル型 T F T 9 1 0 が各画素に対応して設けられている。n チャネル型 T F T 9 1 0 のドレイン側には保持容量 9 1 1 が接続し、保持容量 9 1 1 のもう一方の端子は保持容量配線 9 0 9 に接続している。n チャネル型 T F T 9 1 0 と保持容量 9 1 1 の構造は図 2 (B) で示す n チャネル型 T F T 1 2 0 と保持容量 1 2 1 と同じものとする。

【 0 0 3 6 】

基板の一方の端部には、走査信号を入力する入力端子部 9 0 5 が形成され、接続配線 9 0 6 によってゲート配線 9 0 8 に接続している。また、他の端部には画像信号を入力する入力端子部 9 0 3 が形成され、接続配線 9 0 4 によってソース配線 9 0 7 に接続している。ゲート配線 9 0 8 、ソース配線 9 0 7 、保持容量配線 9 0 9 は画素密度に応じて複数本設けられるものであり、その本数は前述の如くである。また、画像信号を入力する入力端子部 9 1 2 と接続配線 9 1 3 を設け、入力端子部 9 0 3 と交互にソース配線と接続させても良い。入力端子部 9 0 3 、9 0 5 、9 1 2 はそれぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【 0 0 3 7 】

[実施例 2]

本実施例を図 3 ～ 4 を用い、実施例 1 とは異なる構造で基板上に画素部の T F T を逆スタガ型で形成し、該 T F T に接続する保持容量を作製する方法について説明する。また同様に、図 3 (A) 、 (B) および図 4 (A) 、 (B) において、(I) は上面図であり A - A ' 線に沿った断面図を (II) で示す。本実施例で作製するアクティブマトリクス基板は透過型の液晶表示装置に対応するものであ

り、以下実施例 1 との相違点を中心に説明する。

【0038】

図 3 (A) において、基板 201 にはコーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いる。その他に、表面に酸化シリコン膜や窒化シリコン膜などを形成したステンレス基板やセラミック基板などを使用することもできる。

【0039】

ゲート電極 202 およびゲート配線 202' と保持容量配線 203、入力端子部の端子 204 は、実施例 1 と同様にして A1 等の低抵抗配線材料と耐熱性導電性材料と組み合わせて形成する。或いは、このような耐熱性導電性材料のみを組み合わせて形成する。例えば、WN 膜と W 膜の積層構造とする。そして、そのような構造の導電層を基板全面に形成した後、第 1 のフォトリソグラフィ工程を行いレジストマスクを形成し、エッチングにより不要な部分を除去して形成する。このとき少なくともゲート電極 202 の端部にテーパ部が形成されるようにエッチングする。

【0040】

ゲート絶縁層 205 はプラズマ CVD 法またはスパッタ法などで酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、酸化タンタル膜などを 50~200 nm の厚さで形成する。その後続いてゲート絶縁層 205 上に 50~200 nm (好ましくは 100~150 nm) の厚さで非晶質構造を有する半導体層を、プラズマ CVD 法やスパッタ法などの公知の方法で全面に形成する (図示せず)。代表的には、プラズマ CVD 法で水素化非晶質シリコン (a-Si:H) 膜で形成する。さらに、一導電型の不純物元素を含有する半導体層として、n 型の半導体膜を 20~80 nm の厚さで形成する。例えば、n 型の a-Si:H 膜を形成する。

【0041】

そして、このように積層して形成された半導体層を、第 2 のフォトリソグラフィ工程を行い、図 2 (B) に示すようにゲート電極 202 と一部が重なるよう

に島状半導体層 2 0 6 を形成する。島状半導体層は、非晶質半導体層 2 0 6 a と n 型の半導体層 2 0 6 b を有している。

【 0 0 4 2 】

次に、図 4 (A) の (II) において示すように、第 3 のフォトリソグラフィ工程を行い、端子 2 0 4 上に形成されているゲート絶縁膜の一部をエッチング除去して開孔 2 1 7 を形成する。そして、透明導電膜をスパッタ法や真空蒸着法、スプレー法等で 5 0 ~ 2 0 0 n m の厚さに成膜し、第 4 のフォトリソグラフィ工程により画素電極 2 0 7 及び、端子 2 1 7 上に透明導電膜 2 0 8 を設ける。

【 0 0 4 3 】

そして、実施例 1 と同様に導電層をスパッタ法や真空蒸着法で形成し、第 5 のフォトリソグラフィ工程によりレジストマスクパターンを形成し、エッチングによって図 4 (A) に示すようにソース配線 2 0 9 、ドレイン配線 2 1 0 を形成する。ドレイン配線 2 1 0 は画素電極 2 0 7 と端部で重なるように形成し、その部分で電氣的に接続させる。また、ソース配線と入力端子部との接続は、ゲート絶縁膜に延在するソース配線の端部 2 1 1 を透明導電膜 2 0 8 と重なるように形成し、端子 2 0 4 と電氣的に接続させる。

【 0 0 4 4 】

ソース配線 2 0 9 、ドレイン配線 2 1 0 をマスクとして、図 4 (B) の (II) に示すように n 型の半導体層 2 0 6 b と非晶質半導体層 2 0 6 a の一部をエッチングにより除去して島状半導体層に開孔 2 1 2 を形成する。この開孔 2 1 2 によって n 型の半導体層 2 0 6 b はソース領域 2 1 3 とドレイン領域 2 1 4 に分離され、自己整合的に島状半導体層 2 0 6 にチャネル形成領域を形成する。

【 0 0 4 5 】

その後、図 4 (B) の (II) に示すように、非晶質構造を有する半導体層及び n 型の半導体層上に、開孔部 2 1 2 を覆いチャネル形成領域の少なくとも一部に接する無機材料から成る第 1 の層間絶縁層 2 1 5 を形成する。第 1 の層間絶縁膜 2 1 5 は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成する。この第 1 の層間絶縁膜 2 1 5 の膜厚は 1 0 0 ~ 2 0 0 n m とする。そして、第 6 のフォトリソグラフィ工程により、画素電

極 2 0 7 上と入力端子部の透明導電膜 2 0 8 上の第 1 の層間絶縁層 2 1 5 を除去する。

【 0 0 4 6 】

こうして 6 回のフォトリソグラフィ工程により、6 枚のフォトマスクを使用して、逆スタガ型の n チャネル型 T F T 2 2 0、保持容量 2 2 1 を完成させることができる。本実施例で作製したアクティブマトリクス基板において、画素部と入力端子部の配置は図 1 0 で示したように実施例 1 と同様なものとする。

【 0 0 4 7 】

[実施例 3]

実施例 2 では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法を示したが、本実施例では反射型の液晶表示装置に対応する例について示す。

【 0 0 4 8 】

まず、実施例 2 と同様にして、図 3 (B) に示す工程までを行う。そして、図 5 の (II) に示すように、第 3 のフォトリソグラフィ工程を行い、端子 2 0 4 上に設けられているゲート絶縁膜の一部をエッチング除去して開孔 2 3 0 を形成する。そして、実施例 1 と同様に導電層をスパッタ法や真空蒸着法で形成し、第 4 のフォトリソグラフィ工程によりレジストマスクパターンを形成し、エッチングによって図 5 に示すようにソース配線 2 3 1、ドレイン配線 2 3 2 を形成する。ドレイン配線 3 2 は画素電極を兼ねるものであり、保持容量配線 2 0 3 と重なるように形成する。また、ソース配線と入力端子部との接続は、開孔 2 3 0 において端子 2 0 4 と電氣的に接続させる。

【 0 0 4 9 】

その後、実施例 2 と同様に、無機材料から成る第 1 の層間絶縁層 2 3 4 を形成する。そして、第 5 のフォトリソグラフィ工程により、画素電極と入力端子部上の第 1 の層間絶縁層 2 3 4 を除去する。こうして 5 回のフォトリソグラフィ工程により、5 枚のフォトマスクを使用して反射型の液晶表示装置に対応したアクティブマトリクス基板を作製することができる。

【 0 0 5 0 】

〔実施例 4〕

本実施例では、実施例 1 で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図 6 に示すように、図 2 (B) の状態のアクティブマトリクス基板に対し、配向膜 6 0 0 を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。

【0 0 5 1】

対向側の対向基板 6 0 1 には、遮光膜 6 0 2、カラーフィルター 6 0 3、平坦化膜 6 0 4、透明導電膜 6 0 5、配向膜 6 0 6 が形成されている。遮光膜 6 0 2 は Ti、Al、クロム (Cr) 等で形成し、アクティブマトリクス基板の TFT の配置に合わせてパターン形成する。カラーフィルター 6 0 3 は赤、緑、青のフィルターを各画素に対応して設ける。平坦化膜 6 0 4 は有機樹脂膜で形成し、実施例 1 で使用した第 2 の層間絶縁膜と同じ材料を用いれば良い。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。

【0 0 5 2】

そして、画素部が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってスペーサ 6 0 9 を内包するシール剤 6 0 8 によりスペーサ 6 0 7 なを介して貼りあわせる。こうして、液晶注入領域 6 1 0 が形成される。液晶材料は公知のものを適用すれば良く代表的には TN 液晶を用いる。液晶材料を注入した後、注入口は樹脂材料で封止する。そして透過型の液晶表示装置とする場合には偏光版 6 1 1、6 1 2 を貼りつけて図 6 に示すアクティブマトリクス型液晶表示装置が完成させる。反射型の液晶表示装置とする場合には、偏光版 6 1 2 を省略して、対向基板 6 0 1 側のみに偏光版 6 1 1 を設ける。

【0 0 5 3】

本実施例では、実施例 1 で作製したアクティブマトリクス基板を基にアクティブマトリクス型液晶表示装置を作製する方法を示したが、実施例 2 または実施例 3 で示したアクティブマトリクス基板を用いても同様な方法により作製することができる。

【0 0 5 4】

〔実施例 5〕

本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍など）、テレビなどが上げられる。

【0055】

図 1 2 (A) はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体 2 0 0 1、画像入力部 2 0 0 2、表示装置 2 0 0 3、キーボード 2 0 0 4 で構成される。本発明は表示装置 2 0 0 3 に適用することができる。

【0056】

図 1 2 (B) はビデオカメラであり、本体 2 1 0 1、表示装置 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 で構成される。本発明は表示装置 2 1 0 2 に適用することができる。

【0057】

図 1 2 (C) は携帯情報端末であり、本体 2 2 0 1、画像入力部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示装置 2 2 0 5 で構成される。本発明は表示装置 2 2 0 5 に適用することができる。

【0058】

図 1 2 (C) はテレビゲームまたはビデオゲームなどの電子遊技機器であり、CPU 等の電子回路 2 3 0 8、記録媒体 2 3 0 4 などが搭載された本体 2 3 0 1、コントローラ 2 3 0 5、表示装置 2 3 0 3、スピーカ 2 3 0 7、本体 2 3 0 1 に組み込まれた表示装置 2 3 0 2 で構成される。表示装置 2 3 0 3 と本体 2 3 0 1 に組み込まれた表示装置 2 3 0 2 とは、同じ情報を表示しても良いし、前者を主表示装置とし、後者を副表示装置として記録媒体 2 3 0 4 の情報を表示したり、機器の動作状態を表示したり、或いはタッチセンサーの機能を付加して操作盤とすることもできる。また、本体 2 3 0 1 とコントローラ 2 3 0 5 と表示装置 2

3 0 3 とは、相互に信号を伝達するために有線通信としても良いし、センサ部 2 3 0 6、2 3 0 7 を設けて無線通信または光通信としても良い。本発明は、表示装置 2 3 0 2、2 3 0 3 に適用することができる。表示装置 2 3 0 3 は画面サイズを 3 0 型程度まで大型化することができ、図示していないチューナーと組み合わせてテレビとして使用することもできる。

【0 0 5 9】

図 1 2 (D) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1、表示装置 2 4 0 2、スピーカー部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 で構成される。尚、記録媒体には DVD (Digital Versatile Disc) やコンパクトディスク (CD) などを用い、音楽プログラムの再生や映像表示、ビデオゲーム（またはテレビゲーム）やインターネットを介した情報表示などを行うことができる。本発明は表示装置 2 4 0 2 やその他の信号制御回路に好適に利用することができる。

【0 0 6 0】

図 1 2 (E) はデジタルカメラであり、本体 2 5 0 1、表示装置 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部（図示しない）で構成される。本発明は表示装置 2 5 0 2 やその他の信号制御回路に適用することができる。

【0 0 6 1】

図 7 はこのような電気光学装置に搭載する液晶表示装置の実装方法の一例を示す。液晶表示装置は、T F T が作製された基板 7 0 1 の端部には、入力端子部 7 0 2 が形成されこれは実施例 1 で示したようにゲート配線と同じ材料で形成される端子 7 0 3 a と透明導電膜 7 0 3 b で形成される。そして対向基板 7 0 4 とスペーサ 7 0 6 を内包するシール剤 7 0 5 により張合わされ、さらに偏光版 7 0 7、7 0 8 が設けられている。そして、スペーサ 7 2 2 によって筐体 7 2 1 に固定される。

【0 0 6 2】

駆動回路は L S I チップ 7 1 3 に形成され T A B 方式で実装する。これにはフレキシブルプリント配線板 (Flexible Printed Circuit: F P C) が用いられ、F P C はポリイミドなどの有機樹脂フィルム 7 0 9 に銅配線 7 1 0 が形成され

ていて、異方性導電性接着剤で入力端子 7 0 2 と接続する。異方性導電性接着剤は接着剤 7 1 1 と、その中に混入され金などがメッキされた数十～数百 μ m 径の導電性表面を有する粒子 7 1 2 により構成され、この粒子 7 1 2 が入力端子 7 0 2 と銅配線 7 1 0 とに接触することによりこの部分で電氣的な接触が形成される。そしてこの部分の機械的強度を高めるために樹脂層 7 1 8 が設けられている。

【 0 0 6 3 】

L S I チップ 7 1 3 はパンプ 7 1 4 で銅配線 7 1 0 に接続し、樹脂材料 7 1 5 で封止されている。そして銅配線 7 1 0 は接続端子 7 1 6 でその他の信号処理回路、増幅回路、電源回路などが形成されたプリント基板 7 1 7 に接続されている。そして、透過型の液晶表示装置では対向基板 7 0 4 に光源 7 1 9 と光導光体 7 2 0 が設けられてバックライトとして使用される。

【 0 0 6 4 】

また、ここでは図示しなかったが、本発明はその他にも、ナビゲーションシステムや携帯型テレビなどに適用することも可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。このような本実施例の電子機器は実施例 1 ～ 4 の技術を用いて実現することができる。

【図面の簡単な説明】

- 【図 1】 画素 T F T および入力端子部の作製工程を示す上面図と断面図。
- 【図 2】 画素 T F T および入力端子部の作製工程を示す上面図と断面図。
- 【図 3】 画素 T F T および入力端子部の作製工程を示す上面図と断面図。
- 【図 4】 画素 T F T および入力端子部の作製工程を示す上面図と断面図。
- 【図 5】 画素 T F T および入力端子部の作製工程を示す上面図と断面図。
- 【図 6】 液晶表示装置の構造を示す断面図。
- 【図 7】 液晶表示装置の実装構造を示す断面図。
- 【図 8】 ゲート電極の構造を説明する断面図。
- 【図 9】 ゲート電極の端部におけるテーパ構造を説明する図。
- 【図 1 0】 液晶表示装置の画素部と入力端子部の配置を説明する上面図。
- 【図 1 1】 入力端子部の構造を説明する断面図。

【図 1 2】 半導体装置の一例を示す図。

【符号の説明】

- 1 0 1、2 0 1 基板
- 1 0 2、2 0 2 ゲート電極
- 1 0 2'、2 0 2' ゲート配線
- 1 0 3、2 0 3 保持容量配線
- 1 0 4、2 0 4 端子
- 1 0 5、2 0 5 ゲート絶縁膜
- 1 0 6、2 0 6 島状半導体層
- 1 0 7、2 0 9 ソース配線
- 1 0 8、2 1 0 ドレイン配線
- 1 1 4、2 1 5 第 1 の層間絶縁膜
- 1 1 5 第 2 の層間絶縁膜
- 1 1 8、2 0 7 画素電極

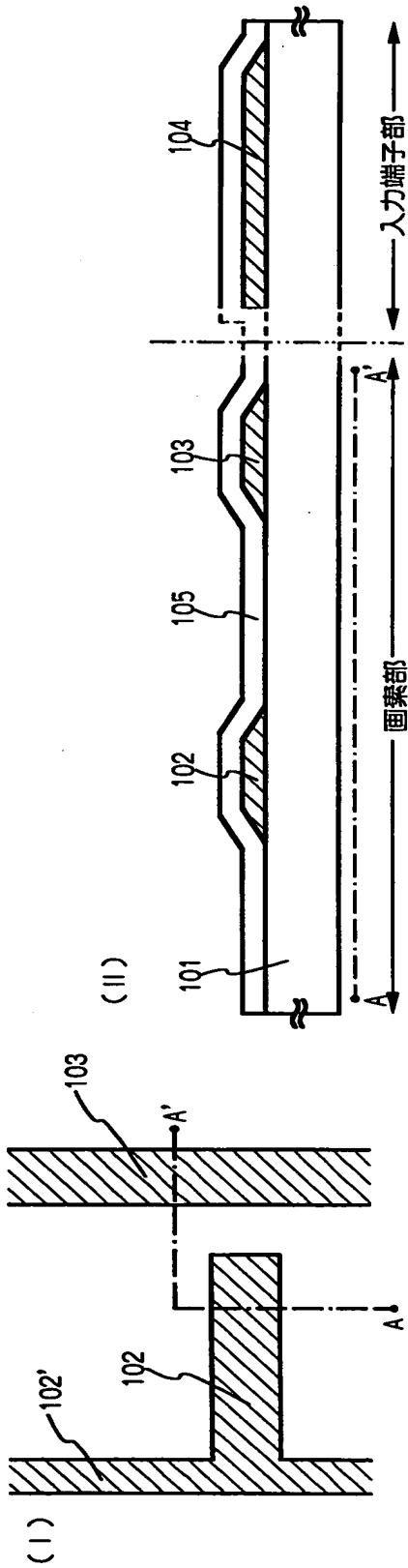
特平 1 1 - 2 2 8 9 4 4

【書類名】

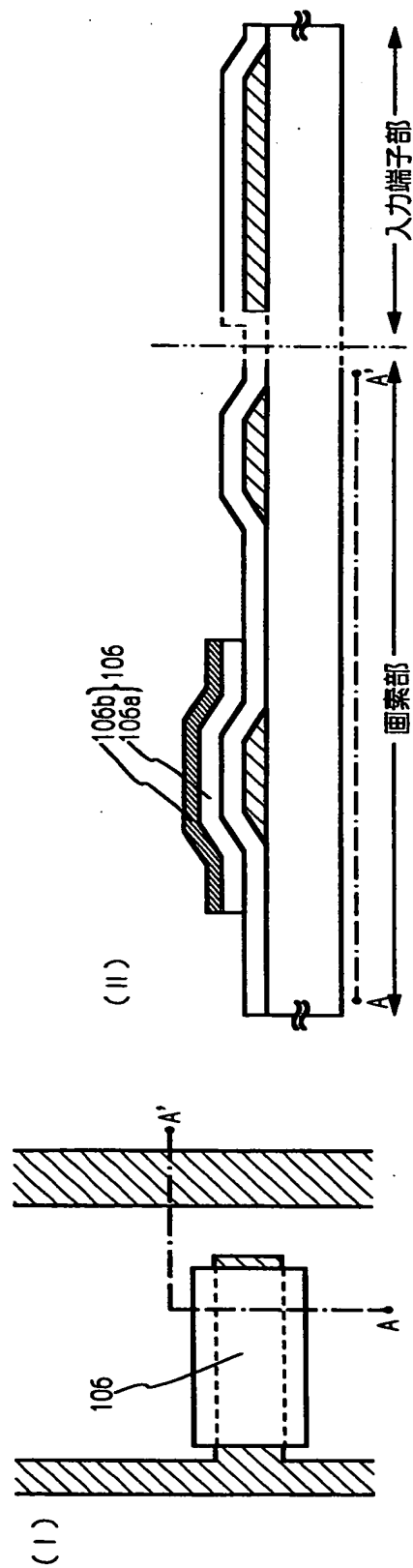
図面

【図 1】

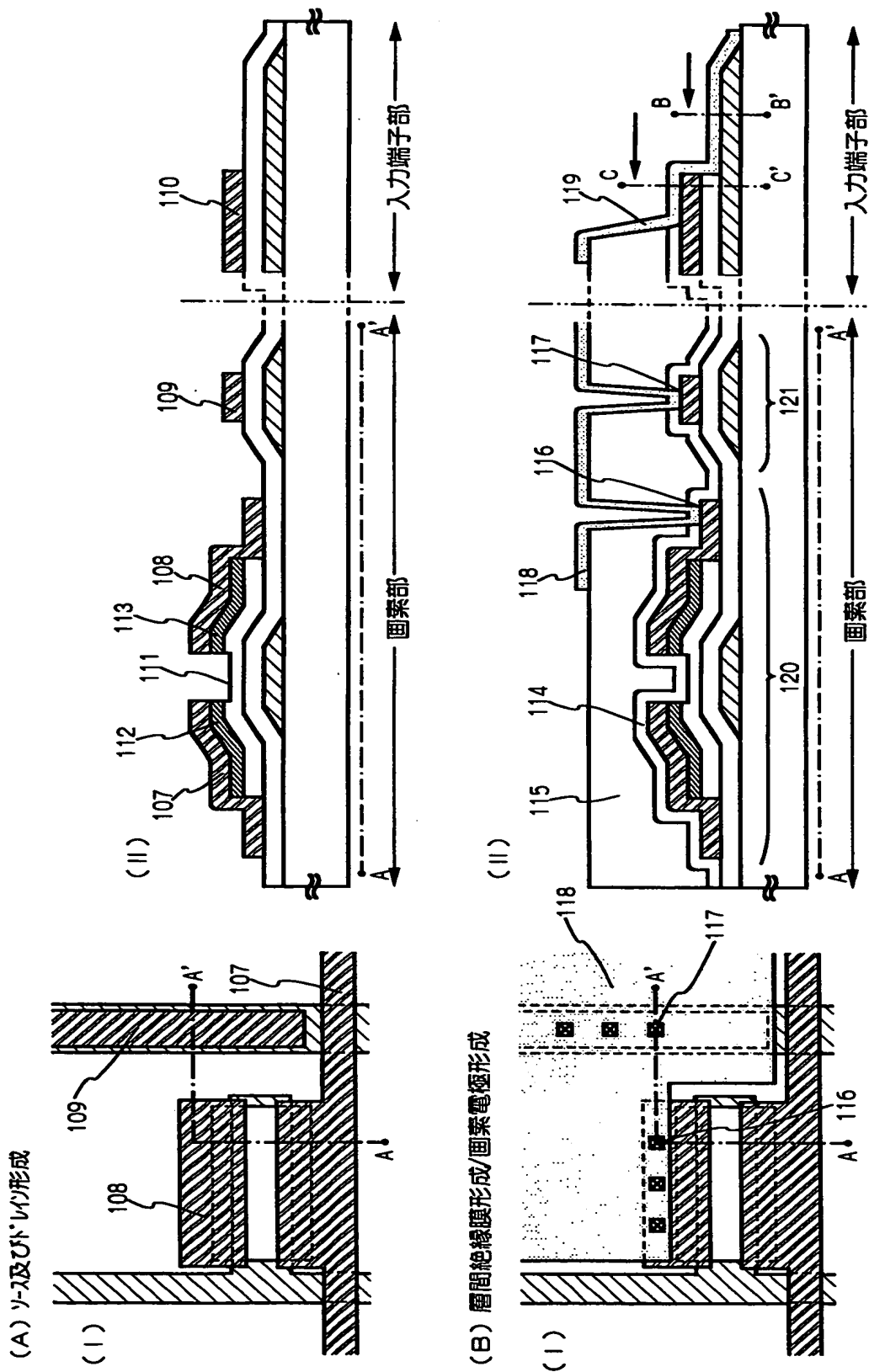
(A) ゲ-IV⁺形成/容量配線形成/ゲ-絶縁膜形成



(B) 島状半導体層(n+型a-Si/1型a-Si)形成

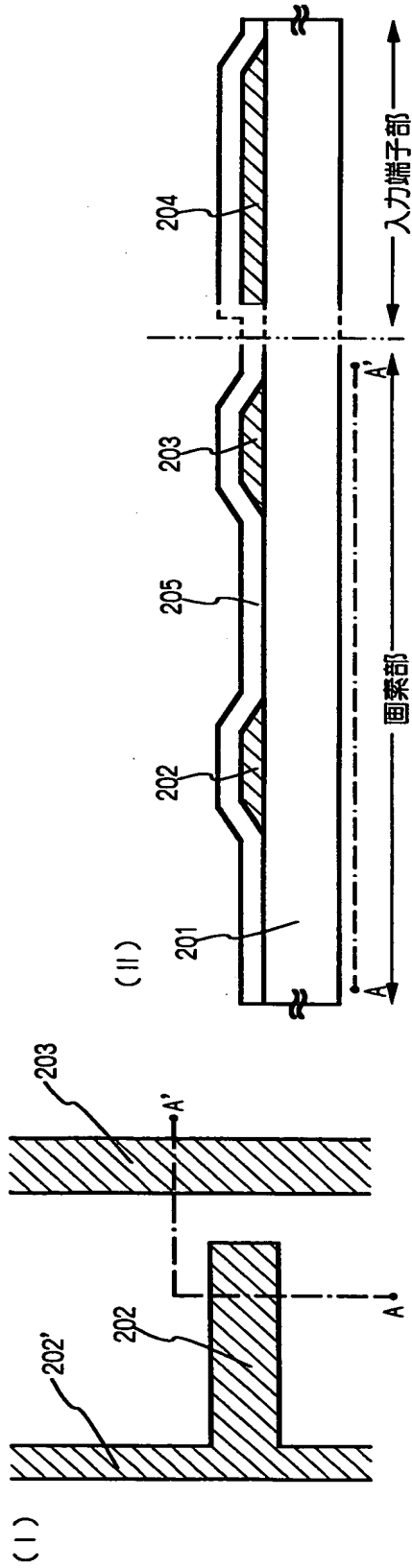


【図 2】

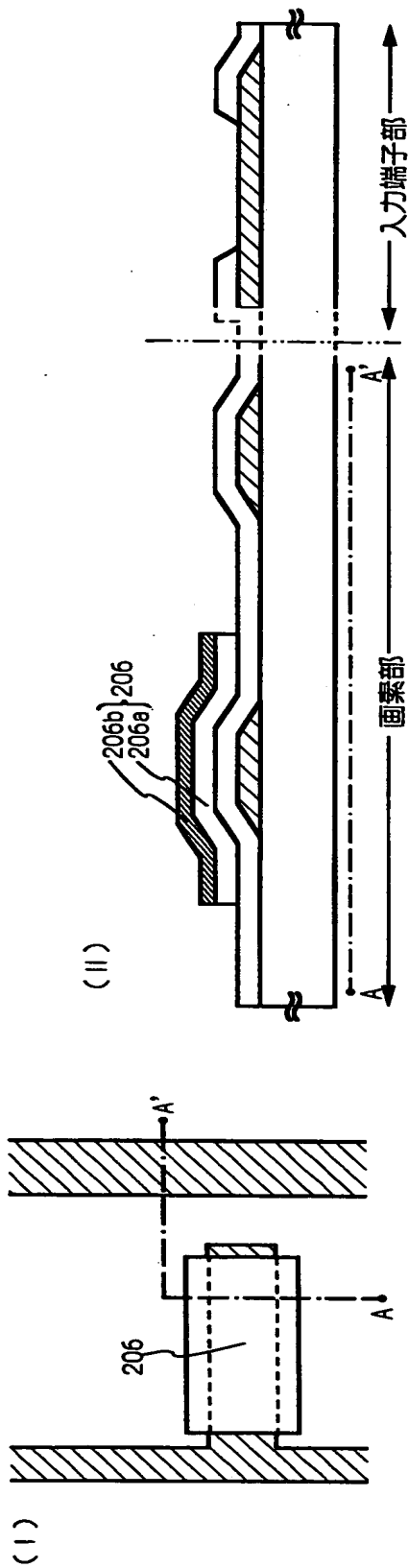


【図 3】

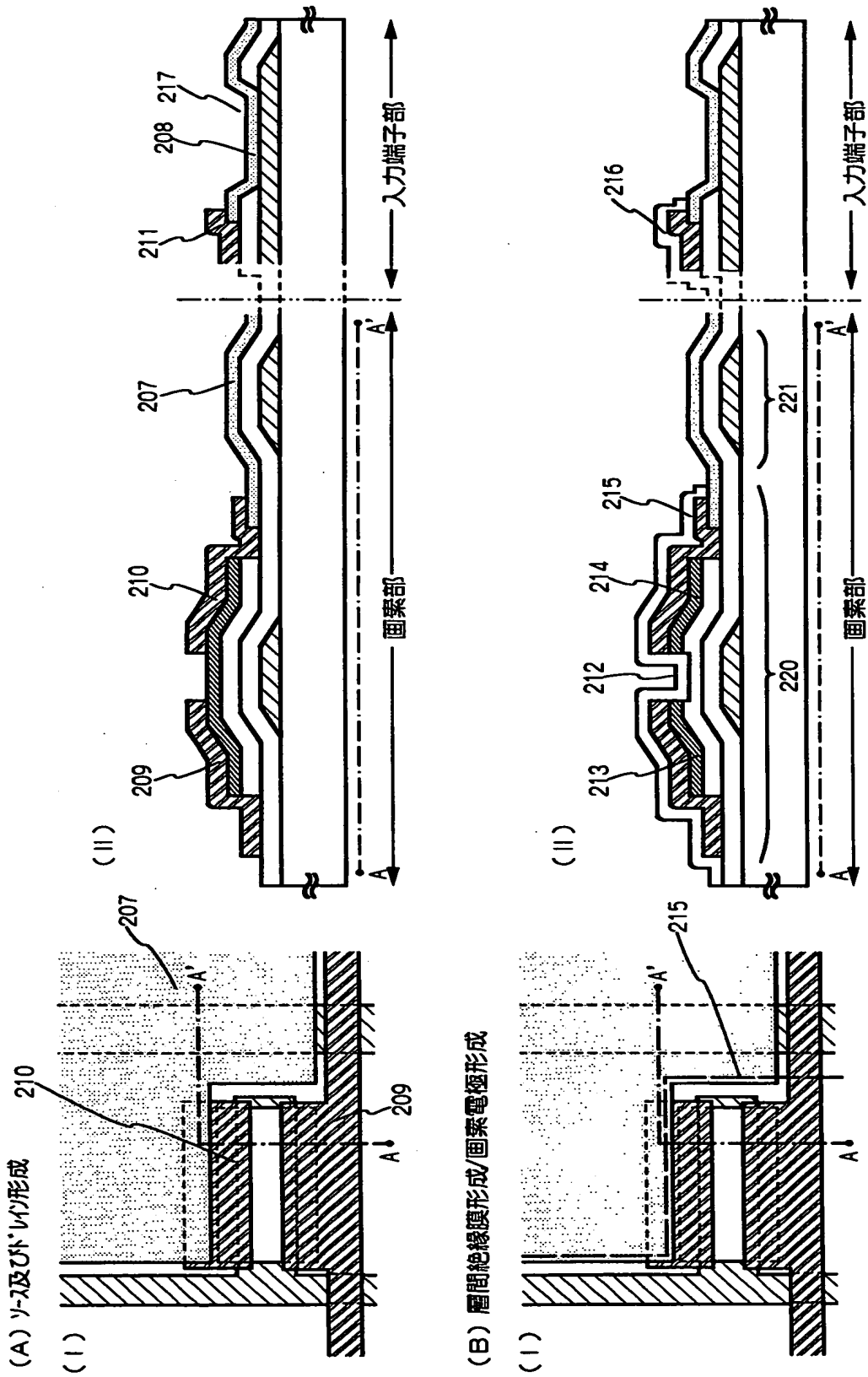
(A) ゲ-ト・パツ形成/容量配線形成/ゲ-ト絶縁膜形成



(B) 島状半導体層(n+型a-Si/i型a-Si)形成

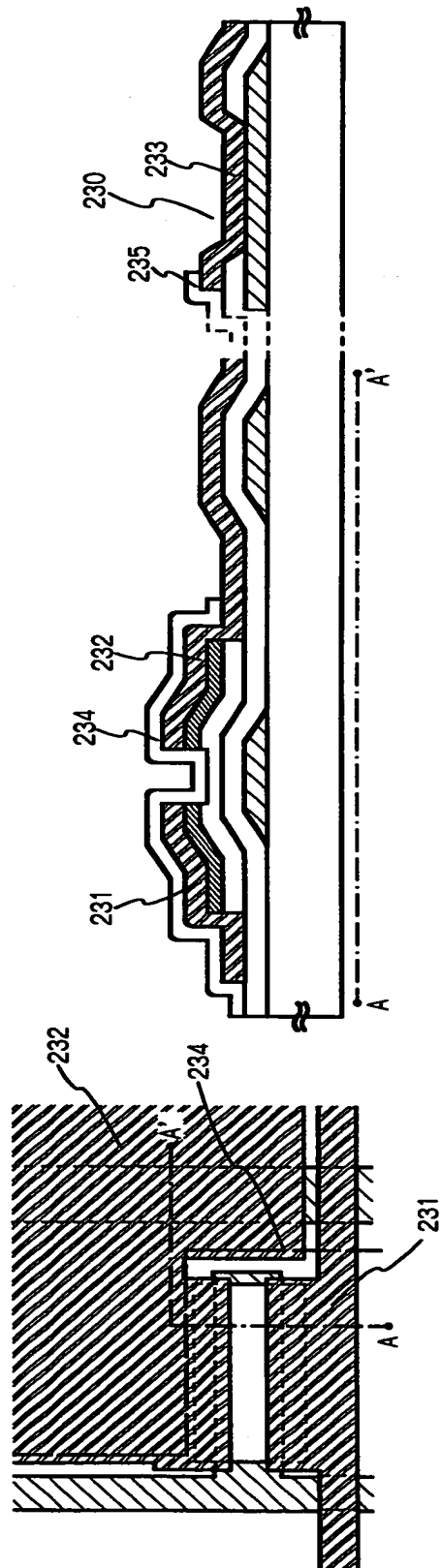


【図 4】

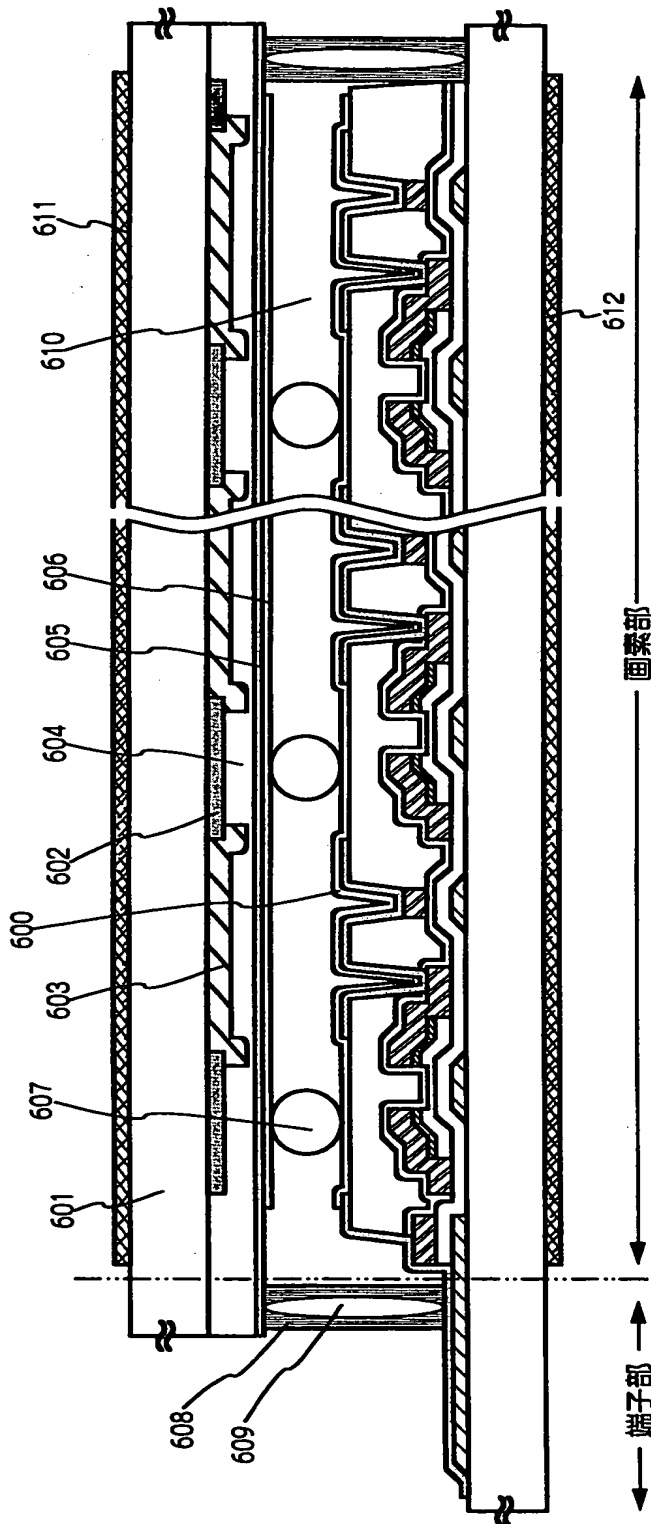


【图 5】

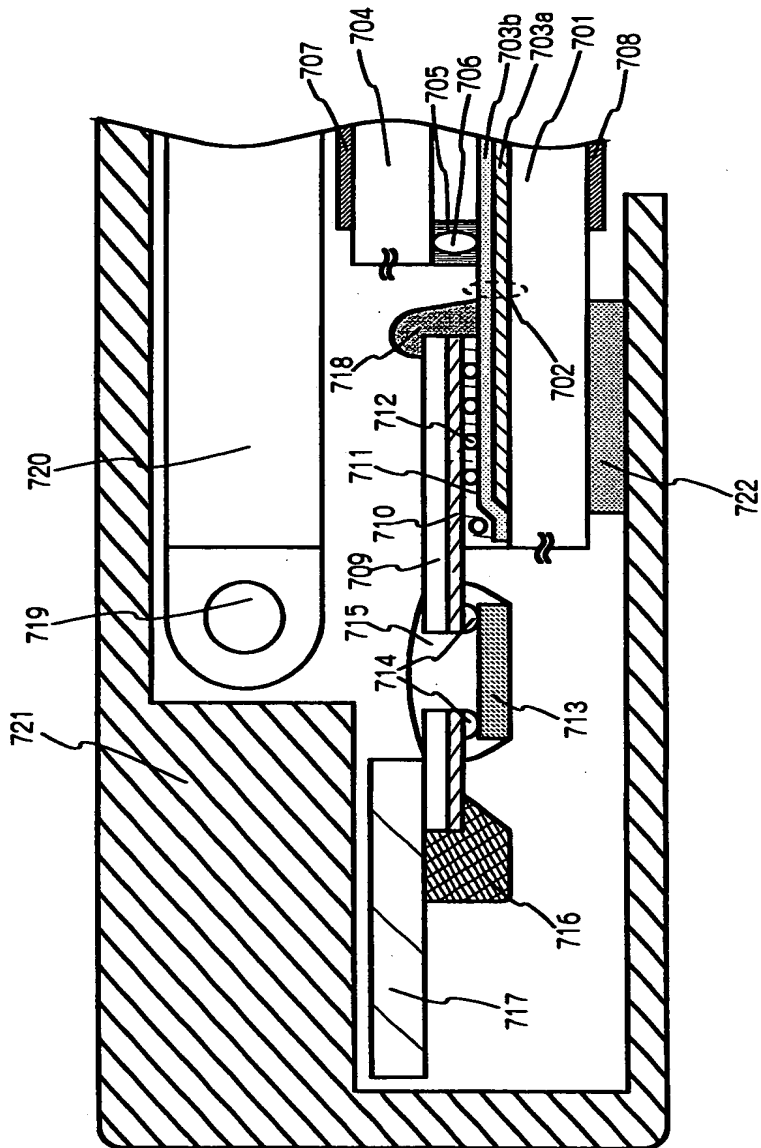
層間絕緣膜形成/固着電極形成



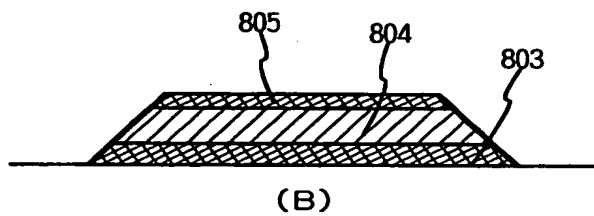
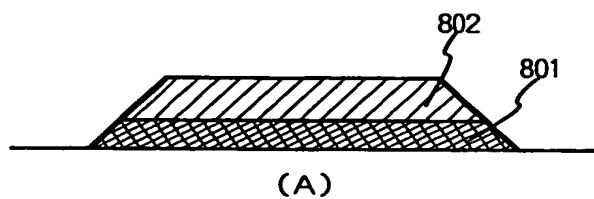
【図 6】



【図 7】

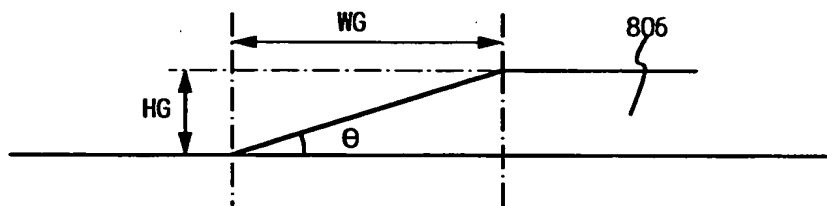


【図 8】

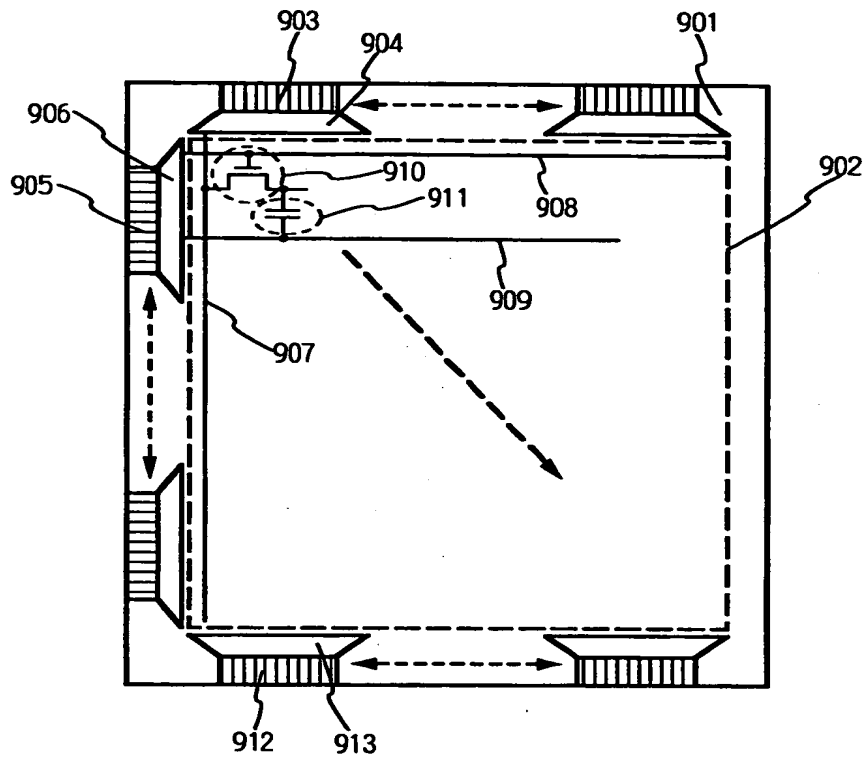


【図 9】

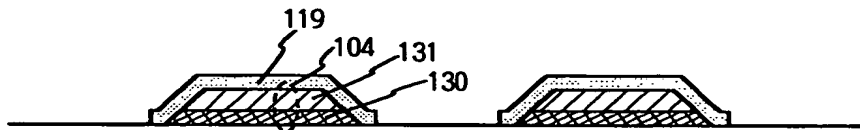
θ : テーパー角



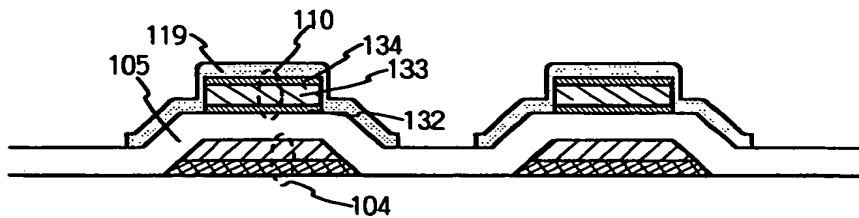
【図 1 0】



【図 1 1】

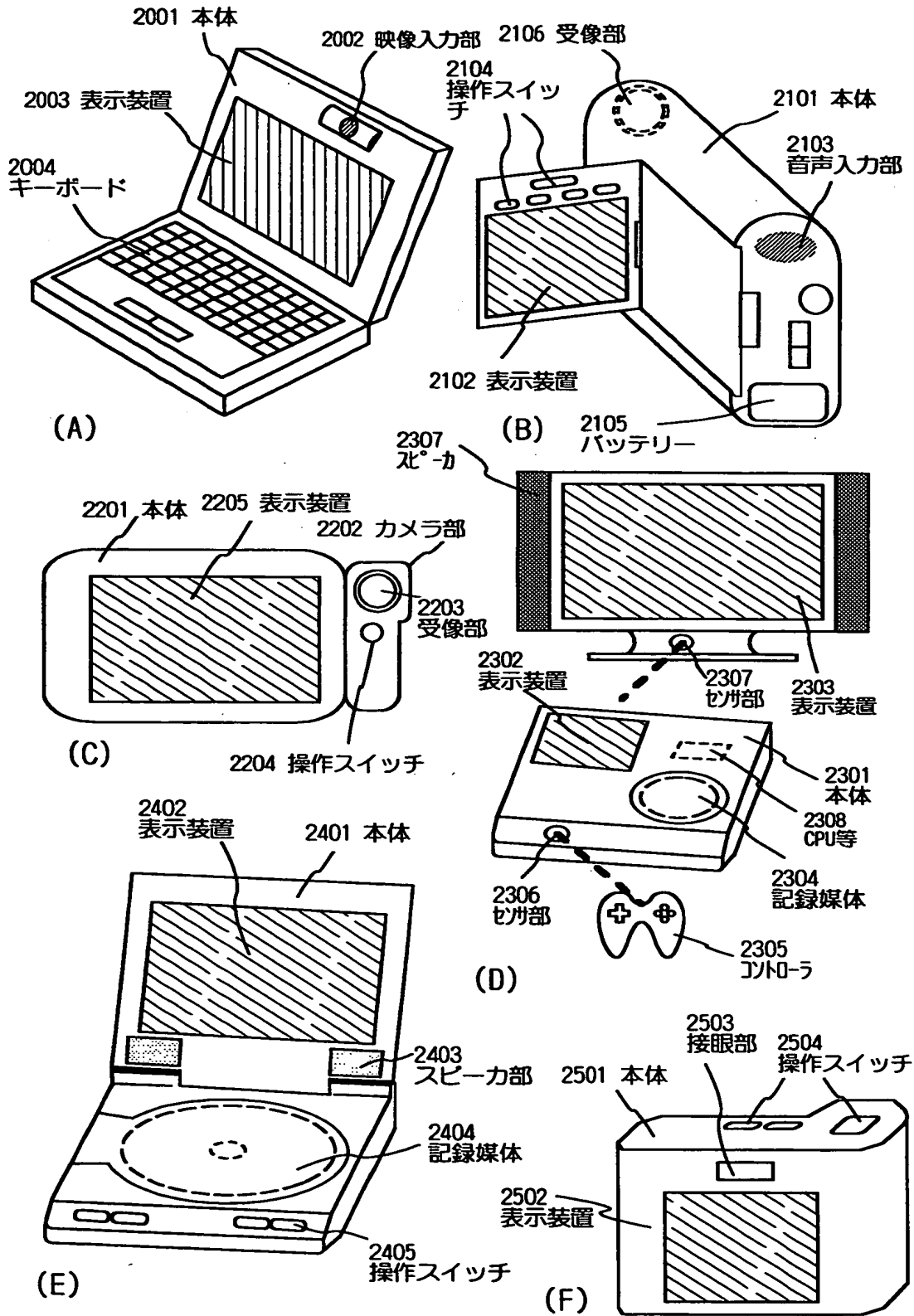


(A)



(B)

【図 1 2】



【書類名】 要約書

【要約】

【課題】 アクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、T F Tを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを目的としている。

【解決手段】 基板上に逆スタガ型のT F T上に無機材料から成る第1の層間絶縁層と、第1の層間絶縁膜上に形成された有機材料から成る第2の層間絶縁層と、前記第2の層間絶縁層に接して形成された画素電極とを設け、前記基板の端部に他の基板の配線と電気的に接続する入力端子部とを有し、該入力端子部は、ゲート電極と同じ材料から成る第1の層と、画素電極と同じ材料から成る第2の層とから形成されていることを特徴としている。このような構成とすることで、フォトリソグラフィ技術で使用するフォトマスクの数を5枚とすることができる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所